

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-228817
(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

G09G 3/20

G02F 1/133

G09G 3/36

(21)Application number : 2000-034819

(71)Applicant : NEC CORP

(22)Date of filing : 14.02.2000

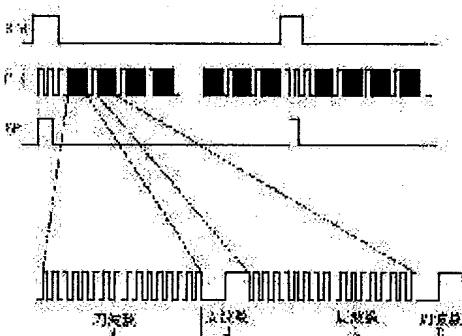
(72)Inventor : HASHIMOTO YOSHIHARU

(54) CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the circuit of a display device, in which the transferring of a SP(start signal) among source drivers and its action are surely performed, even when the circuit is operated at a high speed.

SOLUTION: In the circuit of a cascade system, which has a control circuit and plural source drivers and in which a start pulse signal from the control circuit is transferred to a source driver and the start pulse signal is successively transferred from the source driver to adjacent source drivers and data are read in the pertinent source driver in the period, from the time the start plural signal is transferred until the time, when the signal is transferred to the next source driver, the frequency of low-frequency clock signals B, D of a transfer period are made lower than the frequency of high-frequency clock signals A, C of a period, when the data are read in the source driver.



LEGAL STATUS

[Date of request for examination] 16.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3409768

[Date of registration] 20.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-228817

(P2001-228817A)

(43)公開日 平成13年8月24日 (2001.8.24)

(51)Int.Cl.⁷
G 0 9 G 3/20
G 0 2 F 1/133
G 0 9 G 3/36

識別記号
6 2 3
6 3 3
5 0 5
C 0 9 G 3/36

F I
C 0 9 G 3/20
G 0 2 F 1/133
C 0 9 G 3/36

テーマコード(参考)

6 2 3 D
6 3 3 C
5 0 5

審査請求 有 請求項の数 7 O.L (全 8 頁)

(21)出願番号 特願2000-34819(P2000-34819)

(22)出願日 平成12年2月14日 (2000.2.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 橋本 義春

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100082935

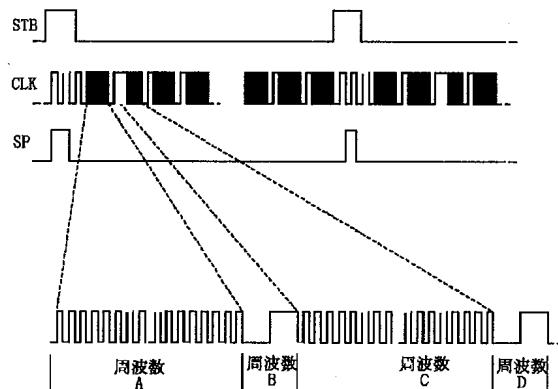
弁理士 京本 直樹 (外2名)

(54)【発明の名称】 表示装置の回路

(57)【要約】

【課題】高速化動作となつてもSP(スタート信号)のソースドライバ間の転送及びその作用が確実に行われる表示装置の回路を提供する。

【解決手段】コントロール回路と、複数のソースドライバとを有し、コントロール回路からのスタートパルス信号が1つのソースドライバに転送され、このソースドライバから隣のソースドライバにスタートパルス信号が順次転送され、スタートパルス信号が転送されてから次のソースドライバに転送する間の期間に当該ソースドライバにデータが読み込まれるカスケード方式の回路において、データが読み込まれる期間の高周波クロック信号A、Cの周波数より、転送期間の低周波クロック信号B、Dの周波数が低くなっている。



【特許請求の範囲】

【請求項1】 コントロール回路と、複数のソースドライバとを有し、前記コントロール回路からのスタートパルス信号が1つのソースドライバに転送され、このソースドライバから隣のソースドライバに前記スタートパルス信号が順次転送され、前記スタートパルス信号が転送されてから次のソースドライバに転送する間の期間に当該ソースドライバにデータが読み込まれる回路において、前記データが読み込まれる期間に第1のクロック信号が入力し、前記転送期間に前記第1のクロック信号よりも低周波の第2のクロック信号が入力することを特徴とする表示装置の回路。

【請求項2】 前記第1のクロック信号が所定の回数入力されると自動的に前記読み込み動作が停止して前記転送期間に入ることを特徴とする請求項1記載の表示装置の回路。

【請求項3】 前記コントロール回路には前記第1及び第2のクロック信号を選択して出力するクロック制御回路が設けられていることを特徴とする請求項1記載の表示装置の回路。

【請求項4】 前記クロック制御回路には、PLLを含む高周波化回路および分周回路を含む低周波化回路のうちの少なくとも一つの周波数変換回路により一対の前記第1及び第2のクロック信号を生成し、前記第1及び第2のクロック信号のうちのいずれかが選択回路により選択された期間に出力回路を通して出力されることを特徴とする請求項3記載の表示装置の回路。

【請求項5】 コントロール回路内のクロック制御回路から互いに位相が異なる2つのクロック信号が出力され、前記クロック信号のそれぞれが前記第1及び第2のクロック信号から構成されていることを特徴とする請求項1記載の表示装置の回路。

【請求項6】 前記コントロール回路から前記クロック信号、デジタル映像データ信号を含む複数の信号が導出され、このうち前記クロック信号及びデジタル映像データ信号の電圧振幅が他の信号の電圧振幅よりも低いことを特徴とする請求項1乃至請求項5のいずれかに記載の表示装置の回路。

【請求項7】 前記コントロール回路には互いに電位が異なる3種類以上の電源ラインが設けられており、これらの電源ラインを組み合わせた出力バッファ回路により前記クロック信号及びデジタル映像データ信号の電圧振幅を低くしていることを特徴とする請求項6記載の表示装置の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置の回路に係わり、特にクロック信号を高速化した表示装置、例えばパソコン(PC)の液晶パネル(LCDパネル)を駆動する回路に関する。

【0002】

【従来の技術】先ず一般的な説明を簡単に行う。図8において、LCDパネル5には多数のソースライン及び多数のゲートラインが形成されており、その交点にTFT(薄膜トランジスタ)をスイッチング素子とした画素がマトリックス状に配列されている。

【0003】それぞれのソースラインに接続するソースドライバ(表示ドライバ)3が横方向に8個配列され、それぞれのゲートラインに接続するゲートドライバ6が縦方向に4個配列されている。それぞれのドライバは半導体積層回路装置(LSI)である。

【0004】PC(パソコン)からデータがこの液晶モジュールのコントロール回路1に送られ、コントロール回路1からクロック信号等がそれぞれのゲートドライバ6に並列に送られ、垂直同期信号がゲートドライバの初段のLSIに入力され、クロック信号、デジタル映像データ信号やラッチ信号等がそれぞれのソースドライバ3に送られる。

【0005】そして、ゲートドライバ6からゲートラインを通して印加された正電圧によりTFTがオンとなった時点で、ソースドライバ3からソースラインを通して印加された電圧が液晶負荷容量を充電し、ゲートドライバ6からゲートラインを通して印加された負電圧によりTFTがオフとなることで、充電された電荷が保持される。

【0006】本発明はソースドライバに送られる信号に関するものである。LCDパネル5がXGA(1024×768画素)でカラーの場合、ソースラインは1024×3=3072ラインとなり、384出力のソースドライバ3は8個必要になる。すなわち、半導体製造装置の制限からチップサイズが20mm程度であるため、XGAの場合には8~10個のソースドライバが必要となる。

【0007】したがって上記したように、それぞれのソースドライバA~Hにコントロール回路1から、クロック信号、デジタル映像データ信号、ラッチ信号等が送られて制御される。

【0008】しかし、スタートパルス信号(SP)は、コントロール回路1からソースドライバ3のうち図で左端のソースドライバAのみに送られ、これによりクロック信号によってシフト動作を行い、データをサンプリングするビットを選択し、そしてSPがソースドライバAの右端に発生し、これが右隣のソースドライバBには入りソースドライバBで同様な動作を行う。このようにして、図8において矢印で示すように、SPが順にソースドライバHまで送られる。このような接続をカスケード接続と称し、一般的に用いられている。

【0009】このようにカスケード接続しないソースドライバLSIとコントロール回路との接続例を図9に示す。図9ではコントロール回路1からクロック信号、映

像信号、ラッチ信号等の配線がそれぞれのソースドライバ3に並列接続しているから、それぞれのソースドライバ3に送信するタイミングはコントロール回路1で直接制御することができる。したがって、SPは必要であるが、配線数が多くなって非現実的である。

【0010】図10はカスケード接続による従来技術のソースドライバに入力するCLK(クロック信号)、SP(スタート信号)及びラッチ信号(STB)を示すタイミングチャートである。このように従来ではソースドライバの入力するクロック信号(CLK)は常に固定の周波数で動作をしている。

【0011】図8に戻って、PCからモジュールのコントロール回路1へのデータ送信はLVDS方式を使用している。このようにLVDS方式を使用する利点は、高速転送が可能で低振幅電圧で転送するからEMI(Electro Magnetic Interference)ノイズが低減することである。

【0012】今後、表示モジュール内において、コントロール回路1とそれぞれのソースドライバ3間も高速で低振幅電圧の転送が重要になってくる。

【0013】すなわち、PCからのクロック信号は、XGAパネルで現在70MHz程度であるが、UXGAパネルでは160MHz以上となり、さらにその2倍の320MHz以上にしようとしている。

【0014】またこの高速化に伴いクロック信号及びデジタル映像データ信号を低振幅電圧で転送することで、コントロール回路1とソースドライバ3間のEMIノイズを低減することがさらに必要になってくる。すなわち、EMIノイズの放射レベルは配線路を伝搬する信号の電圧の2乗に比例するからである。

【0015】

【発明が解決しようとする課題】しかしながら従来技術では、図10に示すように、クロック信号(CLK)は常に固定の周波数で動作をしている。したがって高速化されるとSP(スタート信号)のソースドライバ間の転送及びその作用が不確実となる。

【0016】その理由は、ソースドライバ間はCMOSインターフェイスを用いているので200MHzの転送速度が限界となるからである。また、ソースドライバ間のインターフェイスを改良しても、SPにより停止していた内部信号が動きだすには数nsecの時間が必要であり、このため、SP転送時間は通常のクロック信号よりも長い時間が必要となるからである。

【0017】また従来技術では、クロック信号及びデジタル映像データ信号を所定の低振幅電圧にすることはできない。

【0018】その理由は、従来のコントロール回路の出力バッファは高電位ラインVCCと低電位ラインVSSのみによっている。したがって、クロック信号(CLK)及びデジタル映像データ信号(D00~Dxx)の

振幅は、他の信号の振幅すなわち垂直同期信号、水平同期信号、ラッチ信号、極性信号あるいはスタートパルス信号(SP)の振幅と同様に、VCC-VSSにより定められてしまうからである。すなわち、クロック信号及びデジタル映像データ信号は、HレベルがVCC、LレベルがVSSに固定されてしまうからである。

【0019】また、EMI対策のために振幅電圧が小さくするように、VCC-VSSによる出力バッファの出力側にフィルタを挿入して故意に波形を鈍らせる方式は、クロック信号に対して、デジタル映像データ信号はデータによって遅延時間が異なる場合があり、クロック信号が高速になるにつれてソースドライバに要求されるセットアップ時間やホールド時間が短くなり、設計上の問題となる。

【0020】したがって本発明の目的は、高速化動作となってもSP(スタート信号)のソースドライバ間の転送及びその作用が確実に行われる表示装置の回路を提供することである。

【0021】本発明の他の目的は、高速化動作となってもSPのソースドライバ間の転送及びその作用が確実に行われ、且つデータによる遅延時間の相異等を発生することなく、コントロール回路とソースドライバ間のEMIノイズを低減した表示装置の回路を提供することである。

【0022】

【課題を解決するための手段】本発明の特徴は、コントロール回路と、複数のソースドライバとを有し、前記コントロール回路からのスタートパルス信号が1つのソースドライバに転送され、このソースドライバから隣のソースドライバに前記スタートパルス信号が順次転送され、前記スタートパルス信号が転送されてから次のソースドライバに転送する間の期間に当該ソースドライバにデータが読み込まれる回路において、前記データが読み込まれる期間に第1のクロック信号が入力し、前記転送期間に前記第1のクロック信号よりも低周波の第2のクロック信号が入力する表示装置の回路にある。ここで、前記第1のクロック信号が所定の回数入力されると自動的に前記読み込み動作が停止して前記転送期間に入ることができる。

【0023】また、前記コントロール回路には前記第1及び第2のクロック信号を選択して出力するクロック制御回路が設けられていることができる。この場合、前記クロック制御回路には、PLLを含む高周波化回路および分周回路を含む低周波化回路のうちの少なくとも一つの周波数変換回路により一対の前記第1及び第2のクロック信号を生成し、前記第1及び第2のクロック信号のうちのいずれかが選択回路により選択された期間に出力回路を通して出力されることが好ましい。

【0024】また、コントロール回路内のクロック制御回路から互いに位相が異なる2つのクロック信号が出力

され、前記クロック信号のそれぞれが前記第1及び第2のクロック信号から構成されていることができる。

【0025】さらに、前記コントロール回路から前記クロック信号、デジタル映像データ信号を含む複数の信号が導出され、このうち前記クロック信号及びデジタル映像データ信号の電圧振幅が他の信号の電圧振幅よりも低いことがEMIノイズを低減することができるから好ましい。この場合、前記コントロール回路には互いに電位が異なる3種類以上の電源ラインが設けられており、これらの電源ラインを組み合わせた出力バッファ回路により前記クロック信号及びデジタル映像データ信号の電圧振幅を低くすることができる。

【0026】

【発明の実施の形態】図1は本発明の第1の実施の形態を示す図である。TFTをスイッチング素子とした画素がマトリックス状に配列したLCDパネル5の横辺に沿って複数のソースドライバ(表示ドライバ)3が配列されている。ソースドライバ3はそれぞれがLSIで構成され、内部にNビットシフトレジスタ31を有している。また、LCDパネル5の縦辺に沿ってゲートドライバ6が設けられている。尚、図1ではゲートドライバ6を1個で図示しているが、図8に示したように、複数のゲートドライバがそれ自身LSIで構成されて配列している。

【0027】外部の例えばPCからデータが送られるコントロール回路1には、本発明によるクロック制御回路2が設けられている。

【0028】コントロール回路1から、それぞれのソースドライバ3にD00～Dxx(デジタル映像データ信号)、STB(ラッチ信号)、POL(極性信号)等が並列に送られる。

【0029】また、コントロール回路1内のクロック制御回路2からは、CLK(クロック信号)がそれぞれのソースドライバ3に並列に送られるが、このCLKは高周波クロック信号と低周波クロック信号とを有し、この高周波クロック信号と低周波クロック信号は時間的に制御されていずれかが送られる。

【0030】しかしスタートパルス信号(SP)は、コントロール回路1からソースドライバ3のうち図で左端のソースドライバAのみに送られ、これによりクロック信号によってシフト動作を行い、データをサンプリングするビットを選択し、そしてSPがソースドライバAの右端に発生し、これが右隣のソースドライバBに入りソースドライバBで同様な動作を行い、このようにしてSPが順にソースドライバH(図8)まで送られる。

【0031】尚、この図1や後から説明する図3、図6において、SPはそれぞれのソースドライバの図の左側から入力し図の右側から出力するので、ソースドライバに入力するSPをSPLで示し、ソースドライバから出力するSPをSPRで示してある。

【0032】また、コントロール回路1から60KHz程度のクロック信号等がそれぞれのゲートドライバ6に並列に送られ、CLD(垂直同期信号)がゲートドライバの初段のLSIに入力される。

【0033】図2はカスケード接続による本発明の第1の実施の形態のソースドライバに入力するCLK(クロック信号)、SP(スタート信号)及びラッチ信号(STB)を示すタイミングチャートである。

【0034】図2のSPはコントロール回路からソースドライバAに出力されるタイミングチャートであり、CLK、STBはソースドライバAを含むそれぞれのソースドライバに出力されるタイミングチャートである。図に示すようにCLKは、同じ高い周波数の高周波クロックA、Cの期間と同じ低い周波数の低周波クロックB、Dの期間とを有している。

【0035】コントロール回路1からSPがソースドライバAに入力される。すると、ソースドライバAの内部のクロック、データ停止機能が解除されてソースドライバAにデータ信号が受けられる(高周波クロックAの期間)。ソースドライバAが384出力分のデータを受け終わると、ソースドライバAからソースドライバBにSP信号が転送され(低周波クロックBの期間)、ソースドライバBの内部のクロック、データ停止機能が解除されてソースドライバBにデータ信号が受けられる。また同時にソースドライバAの内部のクロック、データは停止する(高周波クロックC以後の期間)。このようにデータの転送が終わると内部クロックを停止するから、低消費電力になる。そして、ソースドライバBが384出力分のデータを受け終わると、ソースドライバBからソースドライバCにSP信号が転送される(低周波クロックDの期間)。以下同様の動作をソースドライバH(図8)まで行う。そして最終段のソースドライバHのデジタル映像データ信号の読み込みが完了すると、全てのソースドライバの内部クロック信号および内部データ信号の機能は停止している。そして再度SPがソースドライバAに送られることで、同様の動作が開始される。

【0036】図3を参照してソースドライバ3の構成について説明する。クロック信号(CLK)及びスタートパルス信号(SP)を入力(SPL)し、SPを出力(SPR)し、SPが入力することでクロック信号によりシフト動作をし、データをサンプリングするビットを選択するNビットシフトレジスタ回路31と、クロック信号(CLK)及びデジタルで映像データ信号(D00～Dxx)を入力するデータバッファ回路36と、データバッファ回路36からのデータを入力するデータレジスタ回路32と、データを一時的にラッチするデータラッチ回路33と、外部から入力される階調電圧VX0～VXnによりデジタルデータ信号をアナログ信号に変換するD/A変換回路34と、D/A変換回路34からのアナログ信号を出力バッファ回路で増幅して表示装置

(LCDパネル) 5のソースラインS₁～S_nに送る出力回路35と、ラッチ信号(STB)及び極性信号(POL)を入力し、データラッチ回路33及び出力回路35に制御信号を送る出力制御回路37とを具備して構成され、データラッチ回路まではロジック部高電源ラインVCCやロジック部低電源電源ラインVSSに接続され、データラッチ回路(レベルシフト回路を含む)以降はドライバ部高電源ラインVDDやドライバ部低電源ラインVSS₂に接続されている。

【0037】また、データバッファ回路36は、スタートパルス信号SPL(SP)を受信してデータ停止機能が解除されて所定のクロック信号が入力されている間に映像データを受け入れ、所定のクロック信号が入力され終わると、すなわちSPの転送期間に入ると自動的に動作が停止する。

【0038】図4(A)および図4(B)は、図1のクロック制御回路2をそれぞれ例示する回路図である。

【0039】図4(A)はPCから高周波クロック信号が送られてくる場合であり、分周回路を有する低周波化回路21を通して得られた低周波クロック信号と、送られてきたままの高周波クロック信号とを選択回路22に入力し、選択回路22により選択されたどちらかのクロック信号がそれぞれの期間に出力回路23から出力される。

【0040】図4(B)はPCから低周波クロック信号が送られてくる場合であり、PLLを有する高周波化回路24を通して得られた高周波クロック信号と、送られてきたままの低周波クロック信号とを選択回路22に入力し、選択回路22により選択されたどちらかのクロック信号がそれぞれの期間に出力回路23から出力される。

【0041】また、図4(A)に高周波化回路24を設けて送られてきた高周波クロック信号をさらに高い周波数の高周波クロック信号にして選択回路22に入力することもできる。あるいは、図4(B)に低周波化回路21を設けて送られてきた低周波クロック信号をさらに低い周波数の低周波クロック信号にして選択回路22に入力することもできる。

【0042】いずれの場合も高周波クロック信号および低周波クロック信号がのいずれかが出力期間を選択されて出力され、高周波クロック信号は図2の周波数A, Cになり、低周波クロック信号は図2の周波数B, Dになる。

【0043】この第1の実施の形態において、コントロール回路とそれぞれのソースドライバ間のEMIノイズがそれほど問題とならない場合は、クロック信号及びデジタル映像データ信号は、他の信号すなわち、ラッチ信号、極性信号、スタートパルス信号、垂直同期信号、水平同期信号等と同様に、高電位電源ライン(VCC)と低電位電源ライン(VSS)による出力バッファによ

り、VCC-VSS振幅の波形で出力をすることができる。

【0044】しかし、EMIノイズが問題になる場合は、図5に示す第2の実施の形態を用いる。

【0045】図5において、Pチャンネル電界効果トランジスタ51とNチャンネル電界効果トランジスタ52との直列接続によるインバータが偶数個(2個)接続されて出力バッファ回路を構成している図5(A)では、コントロール回路内に、VCCラインおよびVSSラインの他にVHラインおよびVLラインを設けている。電位の大小関係は、VCC>VH>VL>VSSである。

【0046】そして図5(A)に示す出力バッファを形成し、これをクロック信号及びデジタル映像データ信号の出力バッファにする。すなわち、図4の出力回路23に図5(A)の出力バッファを用いる。そして、ラッチ信号、極性信号、スタートパルス信号、垂直同期信号、水平同期信号等の他の信号は、例えばその間に映像データを転送するラッチ信号(STB)は60KHz程度の低周波なので、従来通り図5(D)に示す高振幅の出力バッファを用いる。

【0047】これにより、クロック信号及びデジタル映像データ信号の波形はVH-VLの低振幅となり、これによりEMIノイズを低減することができる。

【0048】あるいは、VCCラインおよびVSSラインの他にVLライン(VCC>VL>VSS)を設けて、図5(B)に示す出力バッファを形成し、これをクロック信号及びデジタル映像データ信号の出力バッファにする。クロック信号及びデジタル映像データ信号の波形の振幅はVCC-VLとなり、VCC-VSSの場合よりも低振幅となるから従来よりもEMIノイズを低減することができる。

【0049】または、VCCラインおよびVSSラインの他にVHライン(VCC>VH>VSS)を設けて、図5(C)に示す出力バッファを形成し、これをクロック信号及びデジタル映像データ信号の出力バッファにする。クロック信号及びデジタル映像データ信号の波形の振幅はVH-VSとなり、VCC-VSSの場合よりも低振幅となるから従来よりもEMIノイズを低減することができる。

【0050】次に図6および図7を用いて第3の実施の形態を説明する。図6および図7において図1および図2と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0051】この第3の実施の形態はEMI対策のため互いに90度位相が異なる2つのCLK1およびCLK2を用い、N/2ビットシフトレジスタ回路31をソースドライバ3に用いたものである。この場合も本発明を適用することができ、周波数E, Gが高周波クロック信号であり、SP転送期間の周波数F, Hが低周波クロック信号である。このようにクロック制御回路2からの

信号本数は複数でもよく、これによりさらなる高精細化の実現ができる。またこの第3の実施の形態にも第2の実施の形態を適用して、クロック信号及びデジタル映像データ信号の電圧振幅を低くすることができる。

【0052】

【発明の効果】以上説明したように本発明によれば、ソースドライバ(表示ドライバ)を複数使用し、ソースドライバ間をカスケード接続によりSPを転送する時はクロック信号を低速にするから、SPの確実な転送が可能になり、さらに各ソースドライバの内部クロック停止機能を解除するまでの時間が確実に確保できるから安定した動作が保証される。

【0053】また、コントロール回路からのクロック信号及びデジタル映像データ信号出力電圧を低振幅にすることができるから、EMIノイズが低減される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の表示装置の回路を示す回路図である。

【図2】図1のタイミングチャートである。

【図3】ソースドライバの構成を示す回路図である。

【図4】図1のクロック制御回路を例示する図である。

【図5】本発明の第2の実施の形態の出力バッファを示す回路図である。

【図6】本発明の第3の実施の形態の表示装置の回路を示す回路図である。

【図7】図6のタイミングチャートである。

【図8】TFT-LCDパネルとその回路とPCとの関係を示す図である。

【図9】複数のソースドライバをカスケード接続しない

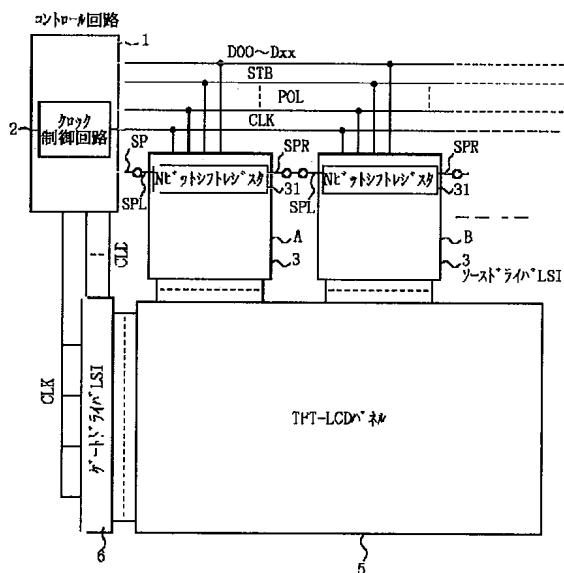
場合を示す図である。

【図10】従来技術を示すタイミングチャートである。

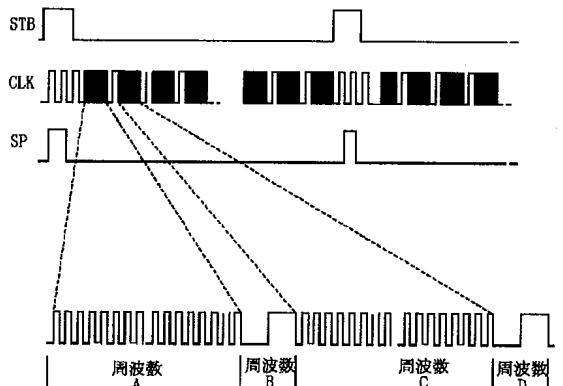
【符号の説明】

- 1 コントロール回路
- 2 クロック制御回路
- 3、A～H ソースドライバ
- 5 LCDパネル
- 6 ゲートドライバ
- 21 低周波化回路
- 22 選択回路
- 23 出力回路
- 24 高周波化回路
- 31 Nビットシフトレジスタ、N/2ビットシフトレジスタ
- 32 データレジスタ回路
- 33 データラッチ回路
- 34 D/A変換回路
- 35 出力回路
- 36 データバッファ回路
- 37 出力制御回路
- 51 Pチャネル電界効果トランジスタ
- 52 Nチャネル電界効果トランジスタ
- SP、SPL、SPR スタートパルス信号
- D00～Dxx デジタル映像データ信号
- STB ラッチ信号
- POL 極性信号
- CLK、CLK1、CLK2 クロック信号
- C LD 垂直同期信号
- VX0～VXn 外部から入力される階調電圧

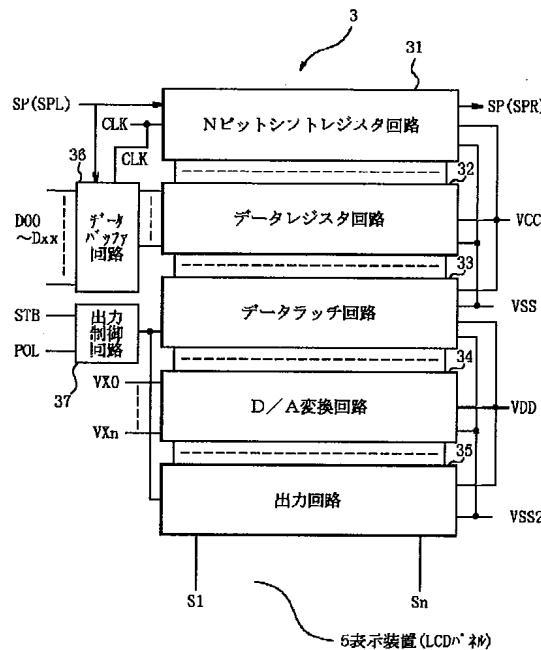
【図1】



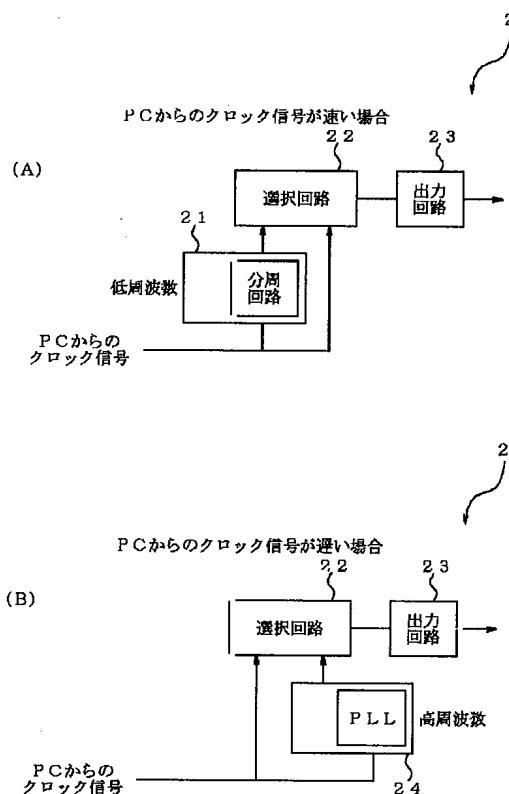
【図2】



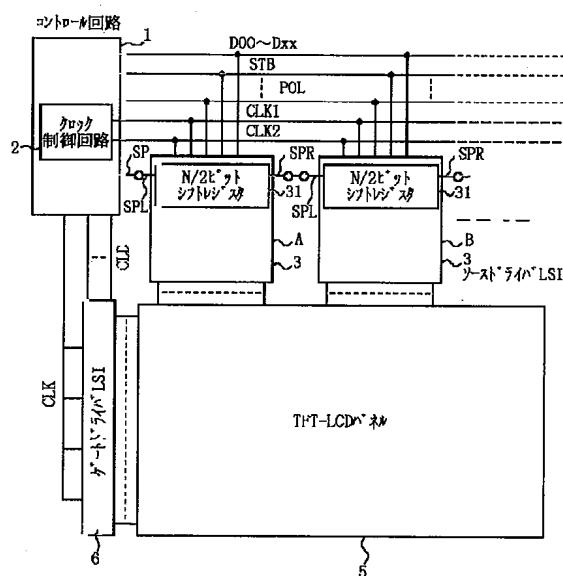
【図3】



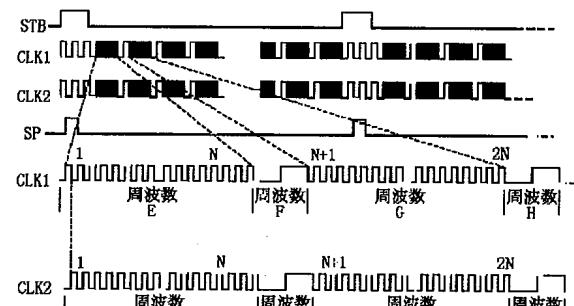
【図4】



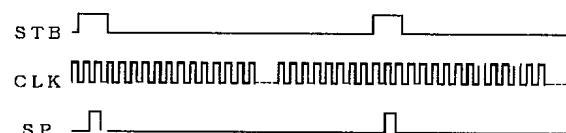
【図6】



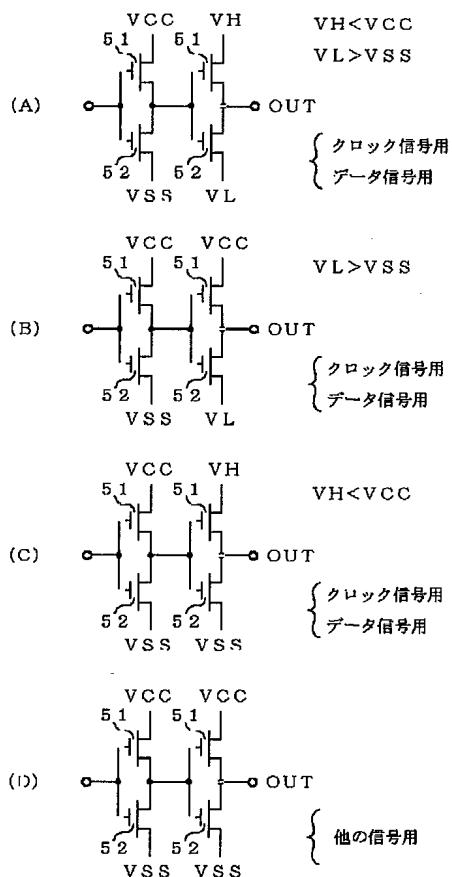
【図7】



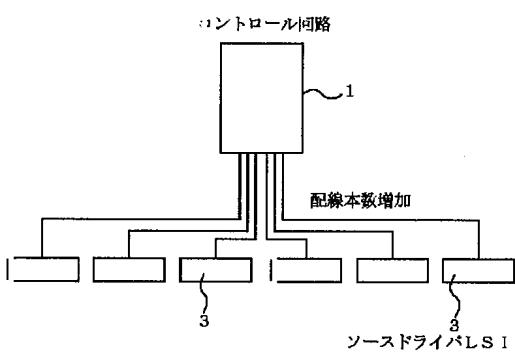
【図10】



【図5】



【図9】



【図8】

